



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **59217374 A**(43) Date of publication of application: **07.12.84**

(51) Int. Cl.

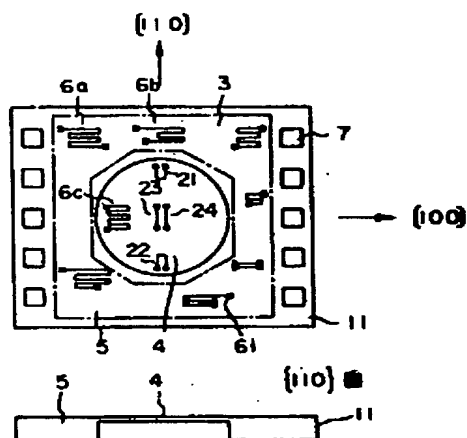
H01L 29/84
G01L 9/04(21) Application number: **58091442**(22) Date of filing: **26.05.83**(71) Applicant: **TOYOTA CENTRAL RES & DEV
LAB INC**(72) Inventor: **SUGIYAMA SUSUMU****(54) SEMICONDUCTOR STRAIN CONVERTER****(57) Abstract:**

PURPOSE: To miniaturize the titled device and increase the accuracy thereof by a method wherein a diffused strain gauge is arranged in the orientation of a crystal of a high sensitivity, a part or the whole of an integrated circuit is formed on the strain motivating part, and a diffused resistance element is arranged in the crystal orientation wherein the strain sensitivity becomes the minimum.

CONSTITUTION: The crystal plane of an Si substrate 11 wherein an N type epitaxial layer is grown on a P type substrate is a plane [110], and the strain motivating part 4 forms a circular thin diaphragm. The diffused strain gauges 21, 22 and 23, 24 are P type diffused layers and are arranged at the center of the diaphragm and in the periphery, whose longitudinal directions are all selected in the axial direction of the plane [110]. The direction of the maximum sensitivity is the axial direction of [111], however, the output in the case of constructing each strain gauge in a Wheatstone bridge is larger in the axial direction of [110]. The integrated circuit 3 incorporating each circuit for amplification, temperature compensation, and output adjustment of the voltage output from the Wheatstone bridge is formed in the fixed part 5, and resistance elements 6a, 6b...6i as passive elements have the longitudinal directions

arranged all in the axial direction of [100] of the direction of the minimum sensitivity. Thereby, said circuit can be manufactured also in the strain motivating part, thus enabling miniaturization and stress measurement of a good accuracy.

COPYRIGHT: (C)1984,JPO&Japio



THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—217374

⑬ Int. Cl.³

H 01 L 29/34

G 01 L 9/04

識別記号

1 0 1

庁内整理番号

6465—5F

7507—2F

⑭ 公開 昭和59年(1984)12月7日

発明の数 1

審査請求 未請求

(全 6 頁)

⑮ 半導体ひずみ変換器

⑯ 特 願 昭58—91442

⑰ 出 願 昭58(1983)5月26日

⑱ 発 明 者 杉山進

名古屋市天白区天白町大字島田

黒石4006番地

⑲ 出 願 人 株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫
字横道41番地の1

⑳ 代 理 人 弁理士 星野恒司 外1名

明 細 書

1. 発明の名称 半導体ひずみ変換器

2. 特許請求の範囲

(1) シリコン単結晶基板上に、起歪部と、その起歪部に設けた拡散ひずみゲージと、その拡散ひずみゲージによって構成するブリッジ回路と、そのブリッジ回路の電圧出力を処理する集積回路とを構成した半導体ひずみ変換器において、前記集積回路の一部または全部を前記起歪部上に形成し、かつその集積回路中に作り込む拡散受動抵抗素子の長手方向をそのピエゾ抵抗感度が最小となる結晶方位に配列したことを特徴とする半導体ひずみ変換器。

(2) シリコン単結晶基板の面を{110}または{100}結晶面とし、拡散受動抵抗素子をp型拡散層とし、その長手方向を[100]結晶軸方位に配列したことを特徴とする特許請求の範囲第(1)項記載の半導体ひずみ変換器。

(3) シリコン単結晶基板の面を{110}結晶面と

し、拡散受動抵抗素子をn型拡散層とし、その長手方向を[111]結晶軸方位に配列したことを特徴とする特許請求の範囲第(1)項記載の半導体ひずみ変換器。

(4) シリコン単結晶基板の面を{110}結晶面とし、拡散受動抵抗素子はp型拡散層のものとn型拡散層のものとが混在し、p型拡散層は[100]、n型拡散層は[111]結晶軸方位に配列したことを特徴とする特許請求の範囲第(1)項記載の半導体ひずみ変換器。

3. 発明の詳細な説明

本発明は、ひずみ量や圧力等の機械量を電気信号に変換する半導体ひずみ変換器の改良に関し、特にピエゾ抵抗効果を用いた拡散ひずみゲージと増幅や信号変換を行う集積回路を同一シリコン基板上に形成した、いわゆる集積化半導体ひずみ変換器の改良に関する。

まず、従来技術とその問題点について図面により説明する。

第1図は従来技術の第一例であって、圧力変換

特開昭59-217374 (2)

器に用いられているシリコン基板1の上面および断面概念図を示すもので、結晶面は{100}面となっている。起歪部4は円形薄肉ダイヤフラムを形成し、5が固定部となっている。拡散ひずみゲージ21, 22および23, 24は、ダイヤフラムの大きな応力が作用する周縁部に配置され、ヒートストンブリッジを構成している。固定部5にはヒートストンブリッジから発生する電圧出力を増幅する演算増幅器や温度補償回路を組み込んだ集積回路3が形成されている。電源や出力は基板固定部周辺の電極パッド7より入・出力される。また集積回路3の中には、電圧、電流のバイアス量を決定する回路定数として用いられる複数個の抵抗素子6a, 6b, …… 6iが設けられている。ひずみゲージによって構成されたヒートストンブリッジの出力は集積回路3で補償、調整増幅され圧力に比例したボルトオーダの電圧出力として取り出される。拡散ひずみゲージ21, 22および23, 24はp型の拡散層で作られ、ひずみ感度の大きい[110]軸に沿って配置されている。また、集積回

路3の中に設けられている抵抗素子6a, 6b, …… 6iはひずみゲージと同様にp型の拡散層で作られており、経験的に矩形状シリコン基板1の辺に沿って平行に作られている。そのため第1図のごとくその長手方向がひずみゲージと同様に[110]軸方向に沿っており、ひずみに対する抵抗変化がひずみゲージと全く変わらず発生する。一般に、集積回路の中に用いられる抵抗素子は数kΩ以上の値が多くそのため、拡散ひずみゲージと同程度あるいはそれ以下の表面不純物濃度が選ばれ前記高抵抗を得ている。ピエゾ抵抗効果による拡散ひずみゲージの感度は、不純物濃度が低い方が高い。よって集積回路の中の抵抗素子は、拡散ひずみゲージの感度と同程度以上の感度を有することとなる。このため、第1図に示すごとく、集積回路部は、応力作用の及ばないダイヤフラムの外側の固定部に形成されている。

第2図に従来技術の第二例を示す。第2図はひずみ変換器として用いられているシリコン基板1の上面および断面概念図を示すもので、結晶面は

{100}面となっている。起歪部4は片持ちばりを形成し、5が固定部となっている。拡散ひずみゲージ21, 22および23, 24は大きな応力の作用する固定端近傍に配置され、ヒートストンブリッジを構成している。ひずみゲージの結晶方位は前記第一例と同様[110]軸に沿って配置されている。固定部5には、前記従来技術第一例と同様の理由によって集積回路3が設けられており、ひずみ量に比例したボルトオーダの電圧出力を取り出すことができる。

以上述べた二つの従来技術例において性能向上を計る上で問題点を挙げると以下の通りである。

(1) シリコン基板の形状・寸法に関して、固定部の形状寸法は集積回路を搭載できる面積以上必要となり、小型化を計る上で一つの制限を与えている。

(2) 起歪部と固定部を分離する必要があり、複雑な応力解析における計測には適さない。

(3) 起歪部と固定部はシリコン基板の肉厚で分けているが、大きなひずみや圧力に関しては、固

定部にも応力の作用が及び、集積回路の中の抵抗素子の値が変化し、非直線性やヒステリシス等の誤差の要因となり高精度の測定は期待できない。

(4) シリコン基板を他の部材に固着する場合に発生する残留熱応力を受け、集積回路中の抵抗素子の値が温度変化に伴い変化し、熱ヒステリシス特性が表われたり、経時変化が発生する。

本発明はこれらの従来技術における問題点を解決することを目的とするものである。

本発明者はこの目的を達成するためシリコン基板内の拡散層のピエゾ抵抗感度について検討を行ない、以下に述べる性質のあることを見出した。

ピエゾ抵抗効果によるひずみゲージの抵抗変化 $\Delta R/R$ は(1)式として表わすことができる。ここで π_{11} , π_{12} , π_{13} はそれぞれ電流方向と平行な方向の応力成分 σ_1' 、直角方向の応力成分 σ_2' 、結晶面方向の応力成分 σ_3' の各々に関するピエゾ抵抗係数であり、 π_{14} , π_{15} , π_{16} はせん断応力成分 σ_4' , σ_5' , σ_6' の各々に関するピエゾ抵抗係数である。

$$\frac{dR}{R} = \pi'_{11} \sigma'_1 + \pi'_{12} \sigma'_2 + \pi'_{13} \sigma'_3 + \pi'_{14} \sigma'_4 + \pi'_{15} \sigma'_5 + \pi'_{16} \sigma'_6 \dots \dots \dots (1)$$

拡散ひずみゲージは(1)式のうち、特に π'_{11} が大きな方向に選びゲージの長手方向の応力 σ'_1 に対する感度を最大にしている。そして、起歪部に作用している応力を検出し、ひずみおよび圧力等機械量を電気信号に変換している。

ところで、集積回路の中に作られている抵抗素子は、前記従来技術例で述べたごとく、ひずみに対する感度を有することは望ましくない。すなわち、(1)式の各ピエゾ抵抗係数が零であることが理想的である。そこで加工容易なシリコンの結晶面を選び同一面上で拡散ひずみゲージに適した大きな感度を有する結晶方位と、集積回路の中に用いる抵抗素子に適した感度の小さな結晶方位が存在する結晶面を種々検討した。その結果p型拡散層の場合、{100}面および{110}面において存在することを見出した。第1表は、結晶面、結晶方位およびピエゾ抵抗の関係を示す表であって、上記検討結果を典型的に示すデータ例である。但

その結果{110}面において存在することを見出した。その結果を示すデータ例を第2表に示す。但し検討に用いたゲージの比抵抗は $11.7 \Omega \text{cm}$ 、ピエゾ抵抗係数の基本定数は $\pi_{11} = -102.2 \times 10^{-12} \text{cm}^2/\text{dyn}$ 、 $\pi_{12} = 53.4 \times 10^{-12} \text{cm}^2/\text{dyn}$ 、 $\pi_{14} = -13.6 \times 10^{-12} \text{cm}^2/\text{dyn}$ である。すなわち、第2表から明らかなように、{110}

第 2 表

結晶面	長手方向	π'_{11}	π'_{12}	π'_{13}	π'_{14}	π'_{15}	π'_{16}	備考
{110}	[100]	-102.2	53.4	53.4	0	0	0	最大
	[111]	-7.5	6.1	6.1	0	0	0	最小

単位 $\times 10^{-12} \text{cm}^2/\text{dyn}$

面において、最大感度を有する方位は[100]軸方向であり、最小感度を有する方位は[111]軸方向である。

本発明はこのような検討結果に基づいてなされたものであって、その特徴はシリコン基板上に拡散ひずみゲージと、起歪部と、集積回路を形成したいわゆる集積化半導体ひずみ変換器において、拡散ひずみゲージを厚度の高い結晶方位に配置し、

特開昭59-217374 (3)

し、第1表のデータを得るのに、ゲージの比抵抗はp型 $7.8 \Omega \text{cm}$ 、ピエゾ抵抗係数の基本定数は、 $\pi_{11} = 6.6 \times 10^{-12} \text{cm}^2/\text{dyn}$ 、 $\pi_{12} = -1.1 \times 10^{-12} \text{cm}^2/\text{dyn}$ 、 $\pi_{14} = 13.81 \times 10^{-12} \text{cm}^2/\text{dyn}$ を用いた。

第 1 表

結晶面	長手方向	π'_{11}	π'_{12}	π'_{13}	π'_{14}	π'_{15}	π'_{16}	備考
{110}	[111]	93.5	-44.6	-44.6	0	0	0	最大
	[110]	71.8	-1.1	-66.3	0	0	0	
	[100]	6.6	-1.1	-1.1	0	0	0	最小
{100}	[110]	71.8	-66.3	-1.1	0	0	0	最大
	[100]	6.6	-1.1	-1.1	0	0	0	最小

単位 $\times 10^{-12} \text{cm}^2/\text{dyn}$

第1表から明らかなように、{110}面において、最大感度を有する方位は[111]軸方向および最小感度を有する方位は[100]軸方向である。また、{100}面においては最大感度を有する方位は[110]軸方向であり、最小感度を有する方位は[100]軸方向である。

同様にして、n型拡散層についても検討した。

集積回路の一部または全部を起歪部に形成するとともに集積回路の中に用いられる受動素子としての拡散抵抗素子を上記ひずみ感度が最低となる結晶方位に配置したことにある。

以下、図面に示す実施例により、本発明を詳細に説明する。

第3図は本発明第一実施例で圧力変換器として用いられた例について示す。約 $400 \mu\text{m}$ のp型基板にn型エピタキシャル層を約 $10 \mu\text{m}$ 成長させたシリコン基板11の上面および断面概念図を示すもので、結晶面は{110}面となっている。起歪部4は円形の $40 \mu\text{m}$ 厚さの薄肉ダイヤフラムを形成し、5が固定部となっている。拡散ひずみゲージ21、22および23、24はp型拡散層でダイヤフラムの中央および周辺に配置され、その長手方向は全て[110]軸方向に選ばれている。この結晶面の場合、最大感度方向は[111]軸方向であるが、電流と直角方向の応力 σ'_2 の作用も考慮するとひずみゲージ21、22および23、24をホイートストンブリッジに構成した場合の出力は[110]軸方向

特開昭59-217374 (4)

の方が大きい。固定部5にはホィートストンブリッジからの電圧出力を増幅、温度補償、出力調整の各回路を組み込んだ集積回路3が形成されている。7は入・出力電極パッドである。集積回路の中の受動素子としての抵抗素子6a, 6b, …… 6iは、最小感度方向の〔100〕軸方向に全て長手方向を配置している。

本第一実施例では、上述のように抵抗素子6a, 6b, …… 6iの長手方向をすべて最小感度方向の〔100〕軸方向に全て配置しており、また抵抗素子6cを起歪部に形成できるので、前記従来技術の問題点(1), (3), (4)を解消することができる。

なお、集積回路の抵抗素子の一部6cは起歪部4上に、その長手方向が〔100〕軸方向となるよう形成されている。この抵抗素子6cはひずみ感度が最小の方向であるので起歪部4の余白を利用して形成しても正常の動作が可能である。

第4図は本発明第二実施例で、圧力変換器として用いられた他の例について示す。約400 μ mのp型基板にn型エピタキシャル層を約10 μ m成長

させたシリコン基板11の上面および断面概念図を示すもので、結晶面は〔100〕面となっている。起歪部4は矩形で20 μ m厚さの薄肉ダイヤフラムを形成している。拡散ひずみゲージ21, 22および23, 24はp型拡散層でダイヤフラムの周縁近傍に口形に配置され、その長手方向は全て〔110〕軸方向に選ばれている。集積回路3は起歪部4と固定部5に渡って形成されておりアナログ増幅回路31とデジタル変換回路32が組み込まれており出力としてはデジタル出力を取り出すことができる。集積回路の中に作られている抵抗素子6a, 6b, 6c, …… 6iは〔100〕軸方向に沿って配置されている。

本第二実施例によれば、集積回路の中に作られている抵抗素子が最小感度方向に配置されていることにより前記従来技術の問題点(3), (4)を解消し得る。また集積回路の抵抗素子が最小感度方向に配置するため、その一部を起歪部4上にも形成できるため、小型化が可能となり前記問題点(1)をも解消し得る利点を有する。

第5図は本発明第三実施例でひずみ変換器として用いられた他の例について示す。p型基板にn型エピタキシャル層を約10 μ m成長させた後約20 μ mの厚さにエッチングしたシリコン基板12の上面および断面概念図を示すもので、結晶面は〔100〕面となっている。起歪部4は基板全体である。拡散ひずみゲージ21, 22および23, 24はp型拡散層でシリコン基板のほぼ中央に配置されており、長手方向は〔110〕軸方向に選ばれている。集積回路3の中に作られている抵抗素子6a, 6b, …… 6iの長手方向はひずみ感度最小の〔100〕軸方向に沿って配置され、さらによりひずみ効果を低減するために全ての抵抗素子は同一方向に作られており、わずかに抵抗変化を発生したとしても、各抵抗素子の変化率を同一として、各抵抗対どうして補償するように工夫されている。

本実施例ひずみ変換器を実際に使用する場合は、第6図のごとく被測定起歪部材8に直接エポキシ系の有機接着材や、低融点ガラス等の無機接着剤で貼付け作用している応力成分を精度良く測定す

ることができる。この使用法は従来より広く用いられている抵抗線ひずみゲージ、金属箔ひずみゲージおよび半導体ひずみゲージと同様の方法である。本第三実施例によれば、前記従来技術の問題点(1), (3), (4)を解消できるとともに、シリコン基板全体を起歪部としているので第6図のような使用ができ、問題点(2)をも解消し得る。

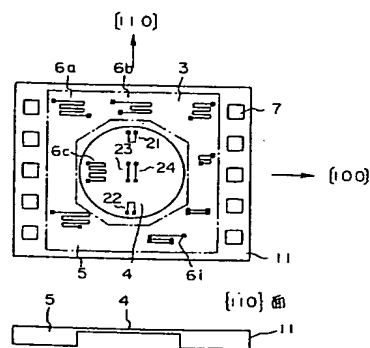
以上に実施例により詳述したように本発明によれば従来技術の問題点を解消し得るものである。すなわち、本発明は、シリコン基板上の固定部に従来作られていた集積回路を、起歪部内にも製作ならしめ、小型化を一層推し進めることを可能とし、同様に、シリコン基板全体を起歪部として使用可能とし、小型化はもとより、精度の良い応力計測を可能とし、従来用いられているひずみゲージとして何ら変わることなく使用できさらに、ボルトオーダーあるいはデジタル出力を取り出すことができるという画期的な効果がある。また、従来の圧力変換器と同様な応用として、ダイヤフラムの周縁の固定部上に本発明の集積回路を形成す

特開昭59-217374 (5)

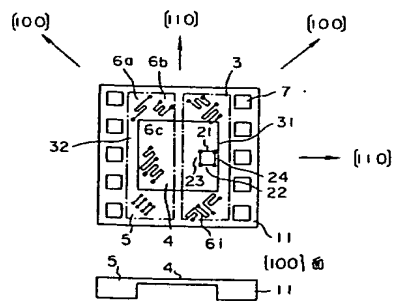
第1図は従来装置の第一例を示す平面および断面概念図、第2図は従来装置の第二例を示す平面および断面概念図、第3図は本発明の第一実施例を示す平面および断面概念図、第4図は本発明の第二実施例を示す平面および断面概念図、第5図は本発明の第三実施例を示す平面および断面概念図、第6図は第三実施例の使用状態を示す概念図である。

- 1 シリコン基板、 21 ~ 24 拡散
ひずみゲージ、 3 集積回路、 4
起歪部、 5 固定部、 6a, ~ 6i
抵抗素子、 7 電極パッド、 8
被測定起歪部材。

第 3 図

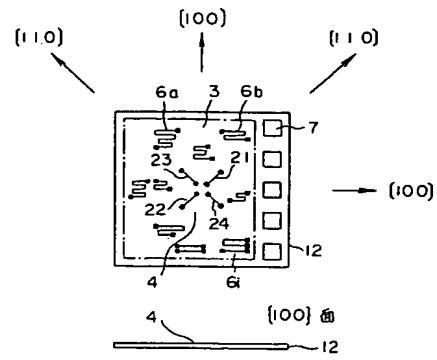


第 4 図



特開昭59-217374 (6)

第 5 図



第 6 図

